

ご使用上の注意～MOSFET 編～

1. MOSFET の構造、品質向上について

MOSFET の等価回路は一般的には図1のようになり、弊社のデータシートにも記載しております。

以下、各部について説明します。

(1) MOSFET 部

弊社 MOSFET は、パターンの微細化が可能なトレンチ構造を採用しております。概略の断面図を図2に示します。

トレンチ構造は、図2に示しますように、シリコン表面に溝(トレンチ)を形成して、その側壁をチャンネルとして使用する構造です。この構造はパターンの微細化が可能であり、従来の DMOS 構造の場合よりも小さいチップサイズで低いON 抵抗を実現することが可能です。

また、弊社では、ソース電極をバリアメタルとアルミの2層構造としており、品質信頼性の向上を図っております。

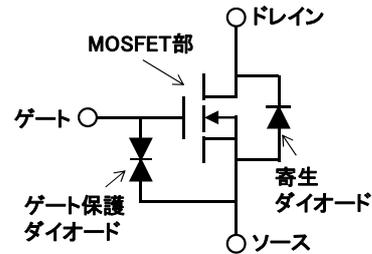


図1 MOSFET等価回路 (Nch MOSFETの場合)

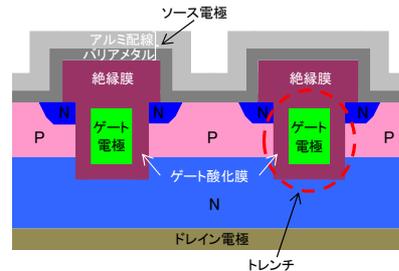


図2 トレンチ構造断面図 (Nch MOSFETの場合)

(2) ゲート保護ダイオード

MOSFET の、ゲート酸化膜の静電破壊保護用として、ゲート・ソース間に設けており、VGSSはこの保護ダイオードの逆耐圧で決定されます。

この保護ダイオードは、MOSFET の取り扱いの際の静電気保護用を目的としておりますので、実機状態でのサージ吸収用途には、ツェナーダイオード等を外付けでご使用されることを推奨致します。

なお、弊社では、静電破壊耐量をより大きくするために、ゲートに抵抗を付加した製品も開発しております。詳細は、弊社営業担当者へご相談下さい。

(3) 寄生ダイオード

MOSFET の構造上、ドレイン・ソース間に形成されるダイオードです。したがって、ドレイン・ソース間には逆電圧をかけることは出来ません。

また、このダイオードは順方向へ電流を流すことは意図しておりませんので、回路上でダイオードが必要な場合は、別途ダイオードを外付けでご使用されることを推奨致します。

2. MOSFET の駆動電圧について

弊社では、MOSFET の駆動電圧として、定格電流 I_D を流すことが可能な最小の電圧としています。

したがって、お客様の回路上で流す電流が小さい場合は、駆動電圧で定義している電圧以下でのご使用が可能となります。本件について、INK0010AC1 の場合を例として説明致します。

INK0010AC1 の I_D - V_{GS} 特性を図3に示します。

図3より、INK0010AC1 の I_D の定格は 260mA ですが、100mA 程度の電流であれば、 $V_{GS}=3V$ でも対応可能であり、 $I_D=10mA$ であれば $V_{GS}=2.5V$ でも対応可能であることが判ります。

その他の品種についても、同様に、ご使用される電流によって駆動電圧も変わりますので、ご不明な点がございましたら、弊社営業担当者へご相談下さい。

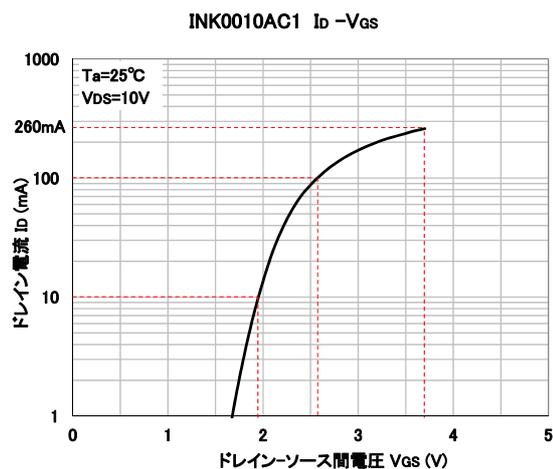


図3 INK0010AC1の I_D - V_{GS} 特性

ご使用上の注意～MOSFET 編～

3. Ze 内蔵 MOSFET について

(1) アバランシェ破壊とは

MOSFET で誘導性負荷を駆動する場合に、スイッチング動作オフ時の逆起電力によって生じるサージ電圧がドレイン-ソース間電圧 V_{DS} を超えて MOSFET がブレイクダウンする際に、アバランシェ破壊が発生する場合があります。

MOSFET は、構造上図5のような寄生素子(バイポーラトランジスタ/Tr、抵抗/R、コンデンサ/C)が形成されています。

アバランシェ動作の際は、図5に破線で示すような電流が寄生容量Cを通して流れることになり、抵抗Rの両端の電位がトランジスタ Tr のベース・エミッタ電圧を超えた場合に Tr が ON します。

この時に、Tr に過大な電流が流れることにより、MOSFET が破壊することになります。

この現象をアバランシェ破壊と呼んでいます。

(2) アバランシェ耐量向上対策

アバランシェ耐量を向上させるためには、前述した寄生トランジスタ/Tr を動作しにくくする必要があります。

従来の DMOS 構造の場合は、この対策として、寄生抵抗/R を低減する方法を取っております。

一例として、従来の DMOS 製品の断面構造を図6に示します。同図に示しますように、ウェル領域を深くすることにより寄生抵抗/R を小さくしております。

MOSFET の性能向上(ON 抵抗低減等)を進める場合は、パターンの微細化が必要であり、現在は、より微細化が可能なトレンチ構造の MOSFET が主流となっております。

トレンチ構造の場合は、上記した DMOS 構造のような対策が取りにくいいため、別の方策が必要となっております。

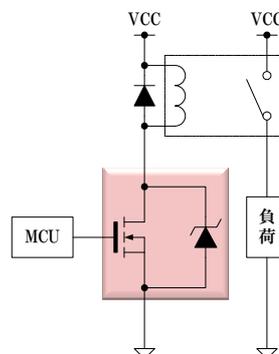


図4 誘導性負荷の駆動回路

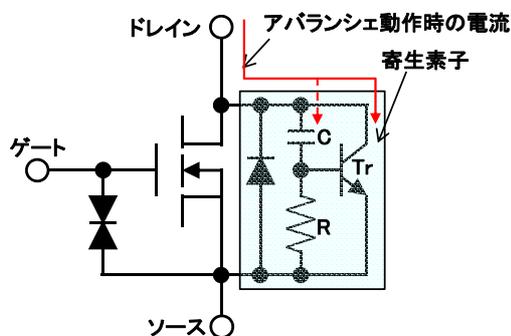


図5 従来構造のMOSFET

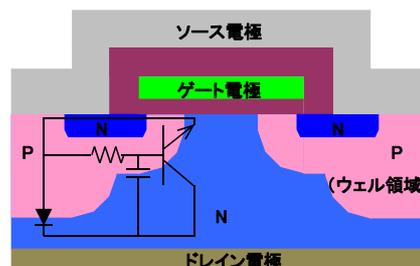


図6 DMOS構造

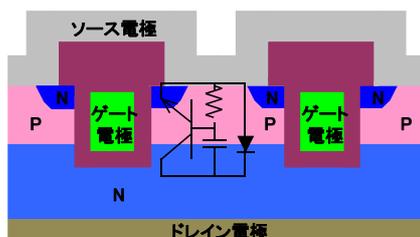


図7 トレンチ構造

ご使用上の注意～MOSFET 編～

(3) Ze 内蔵 MOSFET 開発

弊社では、アバランシェ耐量向上対策として、図8に示しますように、MOSFET のドレイン・ソース間に、VDSS よりも低い電圧でブレイクダウンするツェナーダイオードを取り付けております。

この場合、アバランシェ動作の際は、寄生素子に電流が流れる前に、ツェナーダイオードを介して電流が流れることにより、寄生トランジスタ Tr が ON しにくくなっております。

また、このツェナーダイオードは、MOSFET と同一チップ内に構成することにより、3ピンの小型パッケージへの搭載を可能としました。

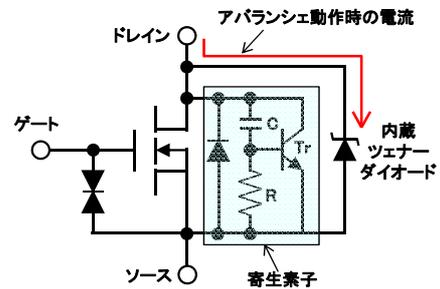


図8 ツェナーダイオード内蔵MOSFET

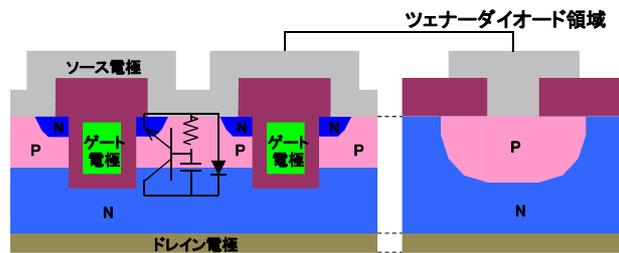


図9 ツェナーダイオード内蔵MOSFET断面構造

(4) Ze 内蔵 MOSFET ラインナップ

現在、下記2品種の開発を進めております。

これ以外の電圧、電流規格の製品につきましても、ご要望がある場合は開発を検討致します。

	V _{DSS} (V)	V _{GSS} (V)	I _D (A)	V _{th} (V)	R _{on} (Ω)	パッケージ
INKE111AC1	50±10	±20	0.5	1.0～2.0	0.9	SC-59
INK***AP1	50±10	±20	0.5	1.0～2.0	0.2	SOT-89

サンプルのご要求につきましては、弊社営業担当者にお問い合わせをお願い致します。